

# Best Available Copy

24, L1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-31200

(43) 公開日 平成10年 (1998) 2月3日

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 2 0		G 0 2 F 1/133	5 2 0
	5 4 5			5 4 5
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平8-187737  
(22) 出願日 平成8年 (1996) 7月17日

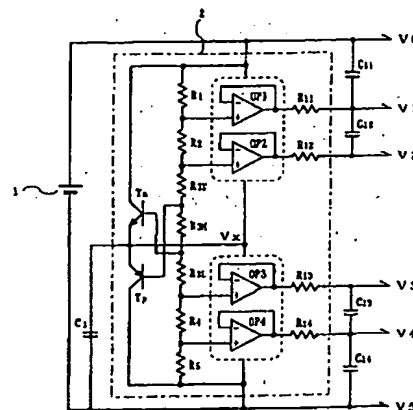
(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72) 発明者 山崎 卓  
長野県諏訪市大和3丁目3番5号 セイコー  
エプソン株式会社内  
(74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

(54) 【発明の名称】 液晶駆動用分割電圧発生器

(57) 【要約】

【解決手段】 直列接続された分圧抵抗 R 1 ~ R 5 により電圧供給源 1 の電圧が分圧され、これにより得られた電圧がボルテージフォロア接続された演算増幅器 O P 1 ~ O P 4 を介して液晶ドライバに供給される。コンデンサ C 1 が電圧供給源の正側電位と負側電位との中点近傍の電位を保持し、トランジスタ T n と T p は C 1 が保持する中間電位 V x を所定の範囲内に収める働きをする。高電圧側の演算増幅器 O P 1 ・ O P 2 の電源端子には電圧供給源の正側電位と V x を接続し、低電圧側の演算増幅器 O P 3 ・ O P 4 の電源端子には V x と電圧供給源の負側電位を接続する。

【効果】 低消費電力化の効果を維持したまま液晶駆動用分割電圧発生 IC を低コスト化できる。



## 【特許請求の範囲】

【請求項1】直列接続された複数個の分圧抵抗により電圧供給源の電圧が分圧され、これにより得られた電圧がボルテージフォロア接続された各演算増幅器を介して液晶ドライバに供給される液晶駆動用分割電圧発生器において、前記電圧供給源は単一の電圧供給源からなる一方、前記電圧供給源の正側電位と負側電位との中点近傍の電位を保持するコンデンサと、そのコンデンサで保持される中間電位を所定の範囲内に収める電圧制御手段とを備え、前記演算増幅器の内で高電圧側の演算増幅器の電源端子には前記電圧供給源の正側電位と前記中間電位とが接続され、低電圧側の演算増幅器の電源端子には前記中間電位と前記電圧供給源の負側電位とが接続されていることを特徴とする液晶駆動用分割電圧発生器。

## 【発明の詳細な説明】

(0001)

【発明の属する技術分野】本発明は、単純マトリックス液晶表示パネルの駆動に必要な多レベルの電圧を発生させる液晶駆動用分割電圧発生器に関する。

(0002)

【従来の技術】通常、単純マトリックス液晶表示パネルを駆動する場合は液晶駆動用分割電圧発生器により6レベルの電圧を発生させ、この6レベルの電圧を液晶ドライバを介して液晶表示パネルに供給して駆動する。このような液晶駆動用分割電圧発生器の中で特に低消費電力化を狙ったものとして、特開平8-54599号公報の実施例2及び図6に記載されたものが知られている。

【0003】以下にこの方式の液晶駆動用分割電圧発生器の回路図の例である図5について説明する。図5の分割電圧発生回路は直流電源1と分割電圧発生IC12および外付けコンデンサとで構成されている。直流電源1から得られた電圧が直列接続された抵抗R1～R5にて分割され、この分割された電圧がボルテージフォロア接続された演算増幅器OP1～OP4に入力される。OP1～OP4の出力であるV1～V4および直流電源1自体の電圧であるV0とV5の合計6レベルの電圧が液晶表示パネルを駆動する電圧となる。V0～V5にはほぼ $V0 - V1 = V1 - V2 = V2 - V3 = V3 - V4 = V4 - V5$ という関係があり、液晶のスレッシュホールド電圧や駆動デューティによるが、V0～V1は1V～2V程度、V0～V5は10V強～40V程度である。定電圧ダイオードD1はV0～V5を2等分した電位近傍の中間電位Vcを発生する手段であり、数 $\mu$ FのコンデンサC1と直列接続されてV0～V5間に挿入されている。高電圧側で動作する演算増幅器OP1とOP2の電源端子は正側がV0に接続され、負側が中間電位Vcに接続されている。低電圧側で動作する演算増幅器OP3とOP4の電源端子は正側が中間電位Vcに接続され、負側がV5に接続されている。OP1～OP4すべてをV0～V5の電圧で動作させる場合と比べて、このような回路構成に

すれば各演算増幅器の動作電圧が直流電源1の電圧の約半分となるので演算増幅器自体の消費電力が低減できると同時に、液晶を高電圧側の演算増幅器で駆動する期間の消費電流による電荷が一旦コンデンサC1に蓄えられ、次に液晶を逆極性で駆動する期間すなわち低電圧側の演算増幅器で駆動する期間はこのコンデンサC1に蓄えられていた電荷で低電圧側の演算増幅器を動作させることができるため、液晶表示パネルの充放電による消費電力を半分近くまで低減することができる。

10 【0004】ここで、中間電位Vcの挙動について説明する。なお、定電圧ダイオードD1の降伏電圧をVbと表すこととする。電源投入時にVcの電位はコンデンサC1に引きずられて瞬間的にV5の電位に近づくが、すぐに定電圧ダイオードD1が働いて $V0 - Vc = Vb$ を満足する電位まで上昇し、この電位がVcの下限電位となる。以後は、液晶の交流駆動に対応して、液晶を高電圧側の演算増幅器で駆動する期間はOP1とOP2の負側電源端子から流出する電流でC1が充電されてVcの電位は緩やかに上昇し、液晶を低電圧側の演算増幅器で  
20 駆動する期間はC1からOP3とOP4の正側電源端子へ流出する電流でC1が放電されてVcの電位は緩やかに下降するという挙動を繰り返す。定常表示状態でのVcの変動幅はC1の容量値や表示パネルのサイズおよび表示パターン等によって異なる。OP1とOP2が正常動作するためにはVcはV2より2V以上低いことが必要であり、OP3とOP4が正常動作するためにはVcはV3より2V以上高いことが必要である。OP1とOP2の負側電源端子から流出する電流の平均とOP3とOP4の正側電源端子へ流入する電流の平均とは基本的  
30 には同じはずであるが、実際には少しアンバランスがあるのでD1とC1だけではVcの電位がOP1～OP4が正常動作できる範囲から徐々に飛び出してしまうという不都合の起こることがある。トランジスタTnとTpはこの不都合を防止するためのもので、中間電位Vcを所定の電圧範囲内に収めるように制御する働きをする。VcがV0～V5の中点電位近傍にある場合はTnとTpは共にオフしている。Vcの電位がR3MとR3Lの交点の電位よりも約0.6V以上低くなるとTnがオンしてVc電位のそれ以上の低下を食い止めようとし、また、Vcの電位がR3UとR3Mの交点の電位よりも約0.6V以上高くなるとTpがオンしてVc電位のそれ以上の上昇を食い止めようとするのでVcは所定の電圧範囲内に収まる。Vcの実際の下限電位はR3MとR3Lの交点の電位—約0.6VとV0～Vbとの高い方になる。

【0005】分圧抵抗R1～R5の抵抗値は、 $R1 = R2 = R4 = R5 = 15\text{K}\Omega$ 前後であり、R3U、R3L、R3Mを含めたR1～R5の直列抵抗値は最大で400K $\Omega$ 前後である。これらの抵抗はTnとTpにベース電流を供給する必要があるため、余り大きくはできな  
50

い。

【0006】なお、R11～R14は各々25Ω前後の抵抗であり、演算増幅器OP1～OP4の動作を安定化して演算増幅器の動作電流を低減する働きをしている。また、C11～C14は各々数μFのコンデンサであり、V1～V4のレベルを安定化する働きをしている。

【0007】

【発明が解決しようとする課題】ところが、上述した従来の液晶駆動用分割電圧発生器においては、中間電位発生手段として定電圧ダイオードを具備しているため、液晶駆動用分割電圧発生ICの製造工程が複雑となり高コストになるという問題がある。中間電位発生手段は入力電源電圧をほぼ2等分した電位を発生させることが目的であるが、前述したように液晶駆動用分割電圧発生ICは汎用化のために10V強～40Vの動作電圧範囲を確保する必要があり、それに対応して降伏電圧が異なる数種類の定電圧ダイオードをICに内蔵して切換え使用できるようにしておかなければならないため、ICはかなり高コストになる。

【0008】なお、中間電位発生手段として定電圧ダイオードではなく、V0～Vc間およびVc～V5間に抵抗を設けるとい分圧回路を用いることも可能である。この場合はICへの内蔵はかなり容易であるが、この分圧抵抗により消費電力が増大してしまうという問題がある。

【0009】

【課題を解決するための手段】上記の課題を解決するために、本発明の液晶駆動用分割電圧発生器は、直列接続された複数の分圧抵抗により電圧供給源の電圧が分圧され、これにより得られた電圧がボルテージフォロア接続された各演算増幅器を介して液晶ドライバに供給される液晶駆動用分割電圧発生器において、前記電圧供給源は単一の電圧供給源からなり、前記電圧供給源の正側電位と負側電位との中点近傍の電位を保持するコンデンサと、そのコンデンサで保持される中間電位を所定の範囲内に収める電圧制御手段とを備え、前記演算増幅器の内高電圧側の演算増幅器の電源端子には前記電圧供給源の正側電位と前記中間電位とが接続され、低電圧側の演算増幅器の電源端子には前記中間電位と前記電圧供給源の負側電位とが接続されていることを特徴としている。

【0010】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0011】（実施例1）図1は本発明による液晶駆動用分割電圧発生器の第1の実施例を示す回路図である。その構成は従来技術の項で説明した図5から単に中間電位発生手段である定電圧ダイオードD1を削除したものである。従って、図5と同じ部分についての説明は省略する。高電圧側演算増幅器の負側電源端子と低電圧側演算増幅器の正側電源端子との接続点である中間電位は従

来は通常の直流電源端子のように極力一定の電位を保つようにすることが良いと考えられていた。そのために定電圧ダイオードや分圧回路等の中間電位発生手段が必要とされていた。

【0012】ところが、こうした中間電位発生手段を削除しても液晶駆動用分割電圧発生ICの機能や特性に悪影響は全く無い。本発明の実施例の回路図においては中間電位をVxと表してあるが、これは、中間電位を一定の電位に保とうとする手段を備えていないため、TnとTpによる電圧制御手段の範囲内ではあるが、中間電位が基本的に不定であることを示している。中間電位Vxは電源投入時には従来と同様にコンデンサC1に引きずられて瞬間的にV5の電位に近づくが、すぐにTnがオンしてVxの電位をR3MとR3Lの交点の電位—約0.6Vまで引き上げ、この電位よりもVxが下がらないように働く。

【0013】また、Vxの電位がR3UとR3Mの交点の電位+約0.6Vよりも高くなるとTpがオンしてVx電位のそれ以上の上昇を食い止めようとするのでVxは所定の電圧範囲内に収まる。つまり、従来のような中間電位発生手段が無くてもVx電位はOP1～OP4が正常動作できる範囲内に収まる。このように、定電圧ダイオードや分圧回路等の中間電位発生手段を備えなくてよいので、2の液晶駆動用分割電圧発生ICは低消費電力化の効果を全く損なうことなく低コスト化できる。

【0014】なお、本発明の実施例の回路図においてはコンデンサC1の接続先はV0となっているが、V5であって構わない。また、コンデンサを2つ用いてV0とV5の両方に接続しても構わない。

【0015】（実施例2）図2は本発明による液晶駆動用分割電圧発生器の第2の実施例を示す回路図である。TnとTpのベース端子を短絡してあるため、図1の回路に比べて中間電位Vxの変動幅を狭い範囲に収めることが出来る。変動許容幅の中心電位はV0～V5を抵抗R6とR7とで分圧した電位である。実際に液晶表示装置を駆動した場合、中間電位Vxの変動幅は最大でも2V程度であるので、こうした回路でも良好に表示できる。なお、R6とR7の抵抗値は低消費電力化の観点からは大きくすべきだが、TnとTpにベース電流を供給する必要性から余り大きくはできず、各々200KΩ程度が好ましい。

【0016】（実施例3）図3は本発明による液晶駆動用分割電圧発生器の第3の実施例を示す回路図である。中間電位Vxの変動幅を制御するトランジスタTn1とTn2及びTp1とTp2を公知のダーリントン接続にすることで、Tn1とTp1のベース電流を小さくすることができ、従って、分圧抵抗の抵抗値を図1や図2の回路に比べて3倍以上高く設定することができる。

【0017】以下に本発明に基づいて作製した液晶駆動用分割電圧発生ICと、このICを用いて液晶表示モジ

ジュールを駆動した時の消費電力の測定結果について簡単に述べる。実際にIC化した回路は図3の回路ではなく、図2の回路において $T_n$ と $T_p$ をダーリントン接続にしたもので、分圧抵抗の抵抗値は $R_1=R_2=R_4=R_5=40\text{K}\Omega$ で、 $R_3$ は駆動デューティにより適するバイアス比が選択できるように $200\text{K}\Omega\sim 800\text{K}\Omega$ の範囲内で $40\text{K}\Omega$ 間隔で端子設定できるようにしてあり、 $R_6$ と $R_7$ は各々 $400\text{K}\Omega$ である。駆動した液晶表示モジュールは表示ドット数が $640\times 480$ のものと $320\times 240$ のものの2種類であり、以下、前者をVGA、後者をQVGAと記す。いずれもモノクロ反射型液晶表示モジュールで、ドットピッチはVGAが $0.3\text{mm}$ 、QVGAが $0.24\text{mm}$ であり、フレーム周波数 $75\text{Hz}$ 、 $1/240$ デューティ、 $1/13$ バイアスで駆動した。液晶ドライバ部のロジック電圧は $3.3\text{V}$ で、データ転送はVGAが4ビット $\times$ 2画面、QVGAが8ビットである。全画面に文字を最適コントラストで表示した時の消費電力はVGAが $29\text{mW}$ 、QVGAが $8.3\text{mW}$ と従来に対して各々30%以上低減した。この時の $V_0\sim V_5$ の値はVGAが $2.2.3\text{V}$ 、QVGAが $2.1.1\text{V}$ であった。なお、表示品位は両モジュールとも良好であった。

【0018】(実施例4) 図4は本発明による液晶駆動用分割電圧発生器の第4の実施例を示す回路図であり、液晶駆動用分割電圧発生ICをCMOSで構成する場合の例である。MOSトランジスタの入ラインピーダンスは極めて高いため、 $R_1\sim R_7$ を高抵抗にして $R_1\sim R_7$ による消費電力が無視し得る大きさになるようにすることができる。図4のように $T_n$ と $T_p$ の基板電位を $V_x$ に接続したICは、製造工程がやや複雑にはなるが製

造可能である。 $T_n$ の基板電位を $V_5$ とし、 $T_p$ の基板電位を $V_0$ とすれば、 $T_n$ と $T_p$ のスレッショルド電圧がバックゲート効果でかなり高くなるので、 $V_x$ の変動幅を小さい範囲に収めることは困難となるが、それでも動作上は問題は無く、IC製造工程も複雑化しない。

【0019】

【発明の効果】本発明によれば、定電圧ダイオードや分圧回路等の中間電位発生手段を備えなくてよいため、低消費電力化の効果を維持したまま液晶駆動用分割電圧発生ICを低コスト化できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す液晶駆動用分割電圧発生器の回路図。

【図2】本発明の他の実施例を示す液晶駆動用分割電圧発生器の回路図。

【図3】本発明のさらに他の実施例を示す液晶駆動用分割電圧発生器の回路図。

【図4】本発明のさらに他の実施例を示す液晶駆動用分割電圧発生器の回路図。

20 【図5】従来の液晶駆動用分割電圧発生器の回路図。

【符号の説明】

1…電圧供給源

2, 12…液晶駆動用分割電圧発生IC

$R_1\sim R_7$ ,  $R_3U$ ,  $R_3M$ ,  $R_3L$ ,  $R_{11}\sim R_{14}$ …抵抗

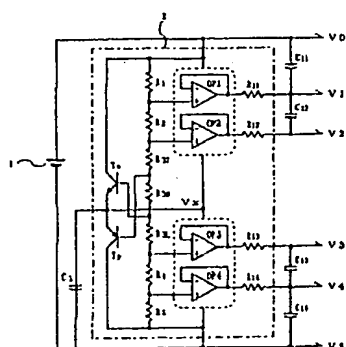
$OP_1\sim OP_4$ …演算増幅器

$C_1$ ,  $C_{11}\sim C_{14}$ …コンデンサ

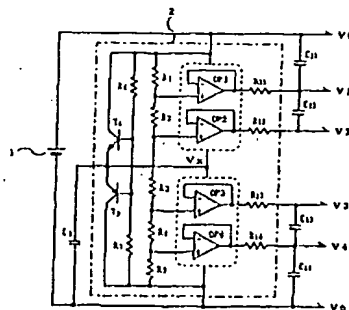
$T_n$ ,  $T_{n1}$ ,  $T_{n2}$ ,  $T_p$ ,  $T_{p1}$ ,  $T_{p2}$ …トランジスタ

30  $D_1$ …定電圧ダイオード

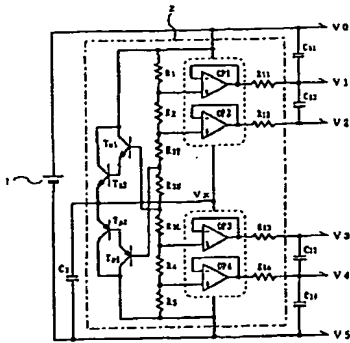
【図1】



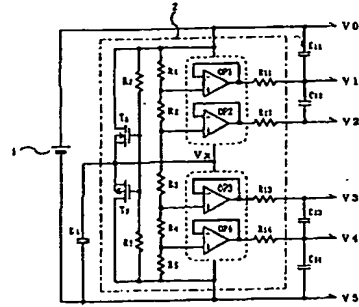
【図2】



(図3)



(図4)



(図5)

